

**Cognome e nome dello studente:**

**Matricola:**

1. [5] Disegnare una memoria cache (parte dati + TAG + bit di validità) e la sua porta di lettura (con le porte logiche). Considerate un'architettura MIPS a 32 bit, a 4 vie di 32 KByte per banco, e linee di 16 parole (per ciascun banco). Definire cosa rappresenta il campo TAG e dimensionarlo opportunamente. Dove posso trovare il dato letto dall'istruzione lw \$t1, 1032(\$0)? Da quanti bit è costituita questa memoria complessivamente? Cosa succede quando si verifica una miss? Definire quali sono i tipi di miss della cache e quali le possibili soluzioni per ridurre l'impatto. Come si può limitare la frequenza di miss? Spiegare come funziona la tecnica di sostituzione LRU esatta e LRU approssimata per questa memoria.
2. [3] Cosa sono i codici di rilevamento e correzione degli errori? Come funziona il codice di Hamming? Calcolare il codice per il numero binario 0001 0001 (1 è LSB!). Chi utilizza il codice di rilevamento e correzione degli errori? Schizzare uno schema a blocchi di un modulo, che mediante il codice di Hamming, possa correggere un errore singolo. Mostrare come varia il codice di Hamming quando si verifica un errore su bit 3 e la stringa letta diventa: 0001 1001.
3. [3] Che cos'è e che cosa rappresenta il "roof model"? Cosa rappresenta l'intensità aritmetica? Si riferisce a una CPU o ad un particolare programma? Come viene determinato? Determinare il roof model di un'architettura, facendo delle ipotesi sensate. Quali sono i passi per ottimizzare le prestazioni del codice suggeriti dal roof-model? Cos'è un kernel benchmark? Cos'è lo SPEC? Cosa si intende per "weak scaling" e "strong scaling"?
4. [1] Riportare alcune caratteristiche della architetture dell'ISA x86. A cosa serve il post-byte?
5. [4] Spiegare il funzionamento della pipeline dell'Intel i7 (Figura 1): identificare le diverse fasi del ciclo di esecuzione facendo riferimento allo schema delle CPU super-scalari visto per le architetture RISC.
6. [4] Come viene gestito l'input/output dalle architetture MIPS e dalle architetture Intel? Identificare i componenti principali di un'interfaccia di una periferica. Descrivere a grandi linee come avviene una transazione su un bus sincrono e asincrono ed evidenziare le differenze. Descrivere il protocollo e la struttura di un collegamento daisy chain e fare un esempio di funzionamento Cosa si intende per arbitraggio centralizzato? Cosa sono i bridge? Come sono organizzati i dischi magnetici? Come viene calcolata la latenza in lettura di un disco? Come si può mascherare?
7. [3] Cosa si intende per gerarchia delle memorie? Spiegare chiaramente cosa si intenda per **coerenza** e **consistenza** di una memoria. Fare degli esempi. A quali memorie si applicano? Spiegare come funzionano i seguenti protocolli che mirano a garantire la coerenza:
  - a) Write-back
  - b) Write-through
  - c) Write invalidateCos'è il lock? A cosa serve?
8. [2] Spiegare i passaggi eseguiti da un compilatore per produrre l'eseguibile. I riferimenti prodotti sono a locazioni di memoria fisica o virtuale?
9. [4] Cos'è la memoria virtuale? Cos'è la Tabella delle pagine? Dove si trova? Cos'è il "Translation Lookaside buffer"? Dove si trova? A cosa servono la memoria virtuale, il TLB e la tabella delle pagine? Che relazione c'è tra la memoria virtuale e la memoria fisica? Chi utilizza la memoria virtuale? Chi utilizza la memoria fisica? Cosa succede quando la CPU chiede una parola alla memoria? Cosa è un page fault? Quando si verifica?
10. [1] Enunciare la legge di Amdhal. Quali indicazioni fornisce ai progettisti di Architetture?
11. [2] Disegnare una cella di DRAM e spiegarne il funzionamento. Perché si utilizzano strutture di memoria DRAM a matrice? Quali vantaggi offrono? Cosa si intende per modalità di trasferimento "a burst"? Come si può nascondere la latenza di lettura/scrittura di una DRAM?

Figure 1

